

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-097819

(43)Date of publication of application : 09.04.1999

(51)Int.Cl.

H05K 1/18

H05K 1/02

(21)Application number : 09-255304

(71)Applicant : MURATA MFG CO LTD

(22)Date of filing : 19.09.1997

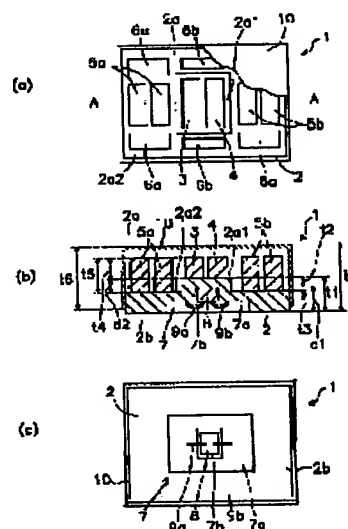
(72)Inventor : HIROTA KOJIRO

(54) ELECTRONIC COMPONENT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an electronic component, which can provide a compact configuration and a flat structure.

SOLUTION: A surface 2a of a substrate 2 constituting an electronic component 1 comprises a protruding part 2a1 and a bottom part 2a2 forming the step difference with respect to the protruding part 2a1. For the bottom part 2a2, surface element 5a and 5b having a maximum height are mounted, and other surface elements 3 and 4 are mounted on the protruding part 2a1. Furthermore, a cavity 7 is formed at a position corresponding to the protruding part 2a1 at the rear surface 2b of the substrate 2. A rear surface element 8 is contained in this cavity 7. Thus, the differences in heights between the surface elements are absorbed, the respective rear-surface elements are arranged at a same height from the surface of the substrate and the compact configuration and the flat structure of the overall electronic component can be realized.



LEGAL STATUS

[Date of request for examination] 31.08.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 1 1 - 9 7 8 1 9

(43) 公開日 平成11年(1999)4月9日

(51) Int. Cl.^o
H 0 5 K 1/18
1/02

識別記号

F I
H 0 5 K 1/18 S
1/02 B

審査請求 未請求 請求項の数 3

O L

(全 4 頁)

(21) 出願番号 特願平9-255304
(22) 出願日 平成9年(1997)9月19日

(71) 出願人 000006231
株式会社村田製作所
京都府長岡京市天神二丁目26番10号
(72) 発明者 廣田 鉦二郎
京都府長岡京市天神二丁目26番10号 株式
会社村田製作所内

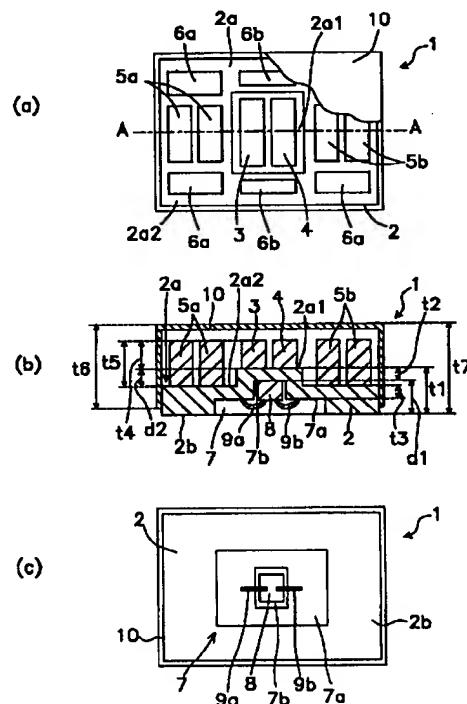
(54) 【発明の名称】 電子部品

(57) 【要約】

【課題】 小型化、低背化が可能な電子部品を提供する。

【解決手段】 電子部品 1 を構成する基板 2 の表面 2 a は、突出部 2 a 1、および突出部 2 a 1 に対して段差を形成する底部 2 a 2 からなる。この底部 2 a 2 に、高さ寸法が最大の表面素子 5 a、5 b を実装し、突出部 2 a 1 に、他の表面素子 3、4 を実装する。また、基板 2 の裏面 2 b には、突出部 2 a 1 に対応する位置に、キャビティ 7 を形成し、このキャビティ 7 に裏面素子 8 を収納する。

【効果】 表面素子間の高さ寸法の差が吸収され、各裏面素子を、基板の表面から同一の高さに揃えて配置し、電子部品全体の小型化、低背化を実現できる。



【特許請求の範囲】

【請求項 1】 表面および裏面を有する基板と、該基板の前記表面に実装される複数の表面素子とを備え、該複数の表面素子に高さ寸法の差がある電子部品において、前記基板の表面が、前記基板の厚み方向に突出する突出部と、該突出部に対して段差を形成する底部とからなり、

前記複数の表面素子のうち、高さ寸法が最大のものが前記底部に実装されたことを特徴とする電子部品。

【請求項 2】 前記複数の表面素子が、前記基板の表面から同一の高さに揃えられて配置されたことを特徴とする請求項 1 に記載の電子部品。

【請求項 3】 前記基板の裏面において、前記基板の表面の突出部に対応する位置にキャビティが形成され、該キャビティに裏面素子が実装されたことを特徴とする請求項 1 または 2 に記載の電子部品。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、各種電子機器に用いられる電子部品、特に、基板の表面に複数の素子が実装されてなる電子部品に関する。

【0002】

【従来の技術】従来の電子部品の構成を図 4 を用いて説明する。

【0003】図 4 において、21 は電子部品であり、基板 22 を備えてなる。ここで、とくに図示しないが、基板 22 は、それぞれ配線が印刷された複数枚のシートからなる多層配線基板である。また、基板 22 の表面 22a には、表面素子として、トランジスタ等の高さ寸法の比較的大きい素子 23a、23b、および抵抗、コンデンサ等の高さ寸法の比較的小さい素子 24、25 が実装される。また、基板 22 の裏面 22b の略中央には、キャビティ 26 が形成されている。このキャビティ 26 には、裏面素子として、IC（集積回路）等の素子 27 が実装される。ここで、キャビティ 26 の深さ寸法は、素子 27 の高さ寸法より大きいため、素子 27 の全体がキャビティ 26 の内部に収納されることとなり、電子部品 21 の低背化に寄与するものである。また、基板 22 の表面 22a 側には金属製のシールドケース 28 が装着される。このように構成される電子部品 21 は、基板 22 の裏面 22b を実装面として、プリント基板（図示せず）に実装されて用いられる。

【0004】

【発明が解決しようとする課題】従来の電子部品 21 においては、基板 22 の表面 22a に実装される表面素子のうち、高さ寸法の比較的大きい素子 23a、23b が、高さ寸法の比較的小さい素子 24、25 より高い位置に突出することとなる。また、素子 23a、23b の高さ寸法に対応して、シールドケース 28 の高さ寸法も大きくなるため、結果として、電子部品 21 の高さ寸法

が大きくなり、電子部品 21 の小型化、低背化を妨げるものとなっている。

【0005】そこで、本発明においては、基板の表面に実装される複数の表面素子の高さ寸法のばらつきを吸収する構成を備えることにより、小型化、低背化が可能な電子部品を提供することを目的とする。

【0006】

【課題を解決するための手段】上記の目的を達成するため、本発明においては、表面および裏面を有する基板と、該基板の前記表面に実装される複数の表面素子とを備え、該複数の表面素子に高さ寸法の差がある電子部品において、前記基板の表面が、前記基板の厚み方向に突出する突出部と、該突出部に対して段差を形成する底部とからなり、前記複数の表面素子のうち、高さ寸法が最大のものが前記底部に実装されたことを特徴とする。

【0007】また、前記複数の表面素子が、前記基板の表面から同一の高さに揃えられて配置されたことを特徴とする。

【0008】また、前記基板の裏面において、前記基板の表面の突出部に対応する位置にキャビティが形成され、該キャビティに裏面素子が実装されたことを特徴とする。本発明にかかる電子部品においては、基板の表面に実装される複数の表面素子のうち、高さ寸法が最大のものが、基板の表面の底部に実装されることにより、表面素子同士の高さ寸法の差が吸収され、各表面素子が、基板の表面から同一の高さに揃えられて配置されたり、あるいは、表面素子同士で、基板の表面からの高さ寸法の差が減少したりする。これにより、電子部品の小型化、低背化が実現される。

【0009】また、本発明にかかる電子部品においては、裏面素子を収納するキャビティが、基板の表面の突出部に対応する位置に設けられるため、基板の厚み寸法の強度上の最小値を確保したうえで、電子部品の小型化、低背化が実現される。

【0010】

【発明の実施の形態】本発明の一実施例にかかる電子部品の構成を図 1 を用いて説明する。

【0011】図 1 において、1 は電子部品であり、基板 2 を備え、基板 2 の表面 2a 側に、金属製のシールドケース 10 が装着されてなり、基板 2 の裏面 2b を実装面として、プリント基板（図示せず）に実装されて用いられるものである。ここで、特に図示しないが、基板 2 は、各層に配線が印刷された多層配線基板である。

【0012】また、基板 2 の表面 2a は、基板 2 の厚み方向に突出する突出部 2a1 と、この突出部 2a1 に対して段差を形成する底部 2a2 とからなる。このうち、突出部 2a1 には、表面素子として、抵抗、コンデンサ等の高さ寸法の比較的小さい素子 3、4 が実装され、底部 2a2 には、同じく表面素子として、トランジスタ等の高さ寸法の比較的大きい素子 5a、5b、およびイン

ダクタ等の高さ寸法の比較的小さい素子 6 a、6 b が、それぞれ実装される。ここで、素子 3、4、6 a、6 b は、互いに等しい高さ寸法 t 4 に設定されており、素子 5 a、5 b は、t 4 よりはるかに大きい高さ寸法 t 5 に設定されている。また、基板 2 の表面 2 a の突出部 2 a 1 と底部 2 a 2 との高さ寸法の差 d 2 は、素子 5 a、5 b の高さ寸法 t 5 と、他の表面素子の高さ寸法 t 4 との差に等しい値である。したがって、素子 5 a、5 b が底部 2 a 2 に配置されることにより、表面素子の高さ寸法 t 4、t 5 間の差が吸収され、各表面素子が、基板 2 の表面 2 a の突出部 2 a 1 から同一の高さに揃えられて配置されることとなる。

【0013】また、基板 2 の裏面 2 b には、表面 2 a の突出部 2 a 1 に対応する位置に、キャビティ 7 が形成される。キャビティ 7 は、第 1 凹部 7 a および第 2 凹部 7 b が断面階段状に形成されてなるものである。このキャビティ 7 の第 2 凹部 7 b には、裏面素子として、I C (集積回路) 等の素子 8 が実装される。素子 8 は、ボンディングワイヤ 9 a、9 b により、キャビティ 7 の第 1 凹部 7 a に設けられた配線 (図示せず) に接続される。

【0014】また、本実施例における各部の寸法は、以下のとおりである。

【0015】基板 2 の高さ寸法 t 1 は 0.9 mm である。また、基板 2 において、裏面 2 b のキャビティ 7 の第 2 凹部 7 b と表面 2 a の突出部 2 a 1 との間の厚み寸法 t 2、および、裏面 2 b のキャビティ 7 の第 1 凹部 7 a と表面 2 a の底部 2 a 2 との間の厚み寸法 t 3 は、それぞれ 0.3 mm である。この 0.3 mm という寸法は、基板 2 の厚み寸法の強度上の最小値である。また、キャビティ 7 の深さ寸法 d 1 は 0.6 mm であり、基板 2 の表面 2 a の突出部 2 a 1 と底部 2 a 2 との間の段差寸法 d 2 は 0.4 mm である。また、表面素子のうち、素子 5 a、5 b の高さ寸法 t 5 は 0.9 mm であり、素子 5 a、5 b 以外の各素子の高さ寸法 t 4 は 0.5 mm である。そして、各表面素子は、基板 2 の裏面 2 a の突出部 2 b 1 から 0.5 mm の高さに揃えられて配置されることにより、電子部品 1 全体の高さ寸法 t 7 は 1.6 mm となる。また、シールドケース 10 の高さ寸法 t 6 は 1.4 mm である。

【0016】上記のように、電子部品 1 においては、基板 2 の表面 2 a に実装される表面素子のうち、高さ寸法が最大の素子 5 a、5 b が、表面 2 a の底部 2 a 2 に実装される。これにより、素子 5 a、5 b と、他の表面素子との高さ寸法の差が吸収され、各表面素子が、基板 2 の表面 2 a から同一の高さに揃えられて配置されることとなり、電子部品 1 の小型化、低背化が実現される。

【0017】また、電子部品 1 においては、基板 2 の裏面 2 b のキャビティ 7 が、基板 2 の表面 2 a の突出部 2 a 1 に対応する位置に設けられるため、基板 2 の厚み寸法の強度上の最小値を確保したうえで、電子部品 1 の小

型化、低背化が実現される。なお、上記実施例においては、基板の表面の突出部と底部との間の段差寸法が、表面素子同士の高さ寸法の差に等しい値であり、この段差により、表面素子間の高さ寸法の差が全て吸収される場合について説明したが、突出部と底部との間の段差寸法が、表面素子間の高さ寸法の差より小さくともよい。このような場合、例えば、図 2 に示すように、表面素子同士で、基板 2 の表面 2 a からの高さの差 G 1 が低減され、電子部品 1 の低背化、小型化が実現される。なお、図 2 において、図 1 (b) と同一もしくは相当する部分には同一の符号を付し、その説明は省略する。

【0018】また、上記実施例においては、基板の表面の略中央に突出部を設ける場合について説明したが、基板の表面において、突出部を設ける位置は、これに限定されるものではない。したがって、例えば、図 3 に示すように基板 2 の表面 2 a の端縁に接して突出部 2 a 1 を設け、この突出部 2 a 1 に対応させて、基板 2 の裏面 2 b にキャビティ 7 を設けてもよい。なお、図 3 において、図 1 (b) と同一もしくは相当する部分には同一の符号を付し、その説明は省略する。

【0019】また、上記実施例においては、基板の表面に一つの段差を形成し、2 種類の高さ寸法を有する表面素子を実装する場合について説明したが、基板の表面に複数の段差を形成し、3 種類以上の高さ寸法を有する表面素子を、それぞれの高さ寸法に合わせて、各段差に実装してもよい。

【0020】また、上記実施例においては、基板の裏面にキャビティを設ける場合について説明したが、基板の裏面にキャビティを設けない場合にも、本発明を適用することができる。

【0021】また、上記実施例においては、基板の裏面に単一のキャビティを設け、このキャビティに単一の裏面素子を設ける場合について説明したが、基板の裏面に複数のキャビティを設ける場合、ならびに、一つのキャビティに複数の裏面素子を設ける場合にも、本発明を適用することができる。

【0022】また、上記実施例においては、電子部品にシールドケースを装着する場合について説明したが、シールドケースを装着しない場合にも、本発明を適用することができる。

【0023】

【発明の効果】本発明にかかる電子部品においては、基板の表面に実装される複数の表面素子のうち、高さ寸法が最大のものが、基板の表面の底部に実装されることにより、表面素子同士の高さ寸法の差が吸収され、各表面素子が、基板の表面から同一の高さに揃えられて配置されたり、あるいは、表面素子同士で、基板の表面からの高さ寸法の差が減少したりする。これにより、電子部品の小型化、低背化が実現される。

【0024】また、本発明にかかる電子部品において

10

20

30

40

50

は、裏面素子を収納するキャビティが、基板の表面の突出部に対応する位置に設けられるため、基板の厚み寸法の強度上の最小値を確保したうえで、電子部品の小型化、低背化が実現される。

【図面の簡単な説明】

【図 1】 本発明の一実施例にかかる電子部品を示す図であり、(a) は一部透視平面図、(b) は (a) の切断線 A-A による断面図、(c) は裏面図である。

【図 2】 図 1 の電子部品の変形例を示す断面図である。

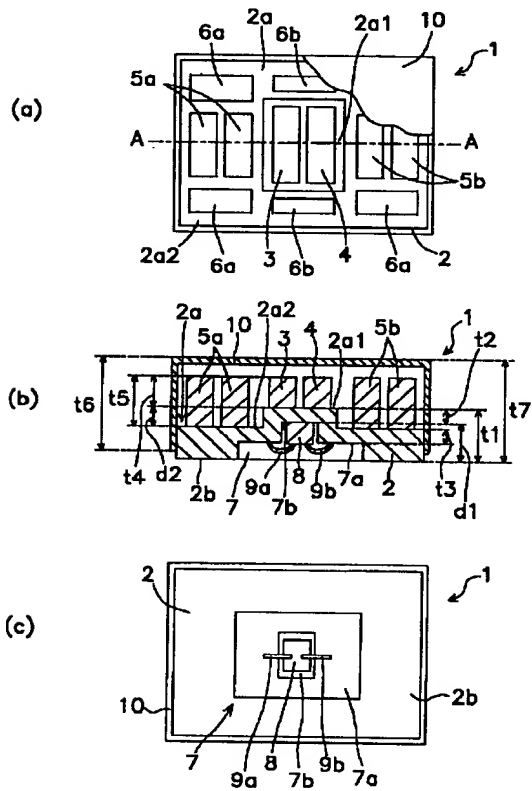
【図 3】 図 1 の電子部品の他の変形例を示す断面図である。

【図 4】 従来の電子部品を示す断面図である。

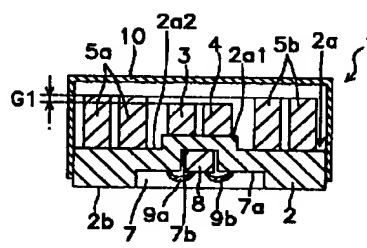
【符号の説明】

- | | |
|---------------------|-------|
| 1 | 電子部品 |
| 2 | 基板 |
| 2 a | 表面 |
| 2 b | 裏面 |
| 2 a 1 | 突出部 |
| 2 a 2 | 底部 |
| 3、4、5 a、5 b、6 a、6 b | 表面素子 |
| 7 | キャビティ |
| 8 | 裏面素子 |

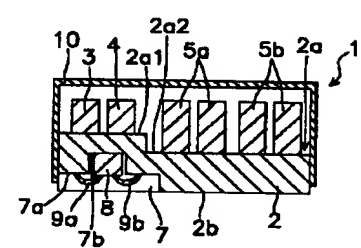
【図 1】



【図 2】



【図 3】



【図 4】

